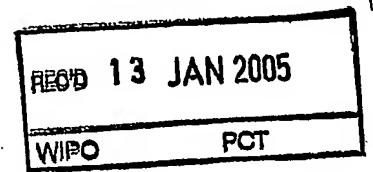


15.11.2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月 1 2 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 8 2 5 4 7  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 8 2 5 4 7 ]

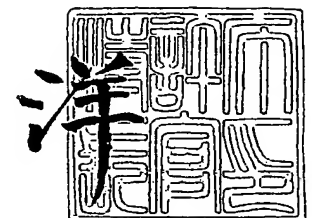
出 願 人                      松下電器産業株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年 1 2 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 5038750037  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 15/04  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 舟橋 順正  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 岡田 康幸  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100086737  
    【弁理士】  
    【氏名又は名称】 岡田 和秀  
    【電話番号】 06-6376-0857  
【手数料の表示】  
    【予納台帳番号】 007401  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9305280

**【書類名】 特許請求の範囲 .****【請求項 1】**

コンペア線と、マッチ線と、ビット線と、ワード線と、メモリ部と、前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、一致キャンセル回路とを備えたCAM回路であって、

前記一致キャンセル回路によって書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更することを特徴とするCAM回路。

**【請求項 2】**

コンペア線と、マッチ線と、ビット線と、ワード線と、メモリ部と、前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込み命令信号と前記ワード線の両方がイネーブル状態であることを検出し、対応するマッチ線を不一致とさせることを特徴とするCAM回路の出力方法。

**【請求項 3】**

請求項 1 に記載のCAM回路において、さらに、

書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路を備え、

前記書き込みデータ比較回路の出力に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とするCAM回路。

**【請求項 4】**

請求項 2 に記載のCAM回路の出力方法であって、メモリへの書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とするCAM回路の出力方法。

**【請求項 5】**

コンペア線と、マッチ線と、ビット線と、ワード線と、CAMメモリ部からなるCAMメモリセルと、

前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、

ビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路であって、

前記一致キャンセル回路によって前記書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更し、かつ前記書き込みデータ比較回路の出力に応じて書き込みアドレスの一致検出結果を変更することを特徴とするCAM回路。

**【請求項 6】**

コンペア線と、マッチ線と、ビット線と、ワード線と、CAMメモリ部からなるCAMメモリセルと、

前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、

ビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込み命令信号と前記ワード線の両方がイネーブル状態であることを検出し、対応するマッチ線を不一致とさせ、かつ前記書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と前記検索データとの比較を前記CAMメモリ部及び前記マスクメモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とするCAM回路の出力方法。

【請求項 7】

メモリへの書き込み動作及び検索動作が行われる期間を1クロックサイクル内で分割し、それぞれの期間で前記メモリへの書き込み動作及び前記検索動作を完結させることで検索動作時にメモリ内部が不定値となることを防ぎ、前記メモリへの書き込み動作及び前記検索動作を同クロックサイクルにて行うことを特徴とするCAM回路。

## 【書類名】明細書

## 【発明の名称】CAM回路及びその出力方法

## 【技術分野】

## 【0001】

本発明は、CAM (Content Addressable Memory) 回路に関するものである。CAMは、データを指定すると、その値と同じ記憶データを保持するアドレスが得られるメモリであり、ネットワークスイッチ、キャッシュメモリ等の用途に使われる。

## 【背景技術】

## 【0002】

一般に、CAMでは、検索データと格納データの一致検出を全ビット並行に行い、アドレス毎の検索結果を出力するという検索動作が行われる。CAMの動作には、格納データを書き込むための書き込み動作と、格納データを読み出すための読み出し動作と、検索データと格納データの一致を検出するための検索動作がある。

## 【0003】

図9に従来のCAMのメモリセル構成を示す。100はCAMメモリセルである。一般にCAMのメモリセルは、データを格納するメモリ部101と、メモリ部101に格納されたデータとCAM外部より入力された検索データとの一致を検出するデータ比較部102からなる。

## 【0004】

この構成において書き込み動作とは、書き込みアドレスのワード線をHにし、Nchトランジスタ103、104をONさせ、書き込みデータとその反転データであるビット線及び反ビット線の値をインバータ105、106で格納するという動作である。

## 【0005】

また検索動作とは、マッチ線をプリチャージしておき、データ比較部102にて検索データとその反転データであるコンペア線及び反コンペア線の値と格納データとを比較し、一致していればマッチ線は“H”を保持し、不一致ならば“L”になるという動作である。

## 【0006】

例えば、格納データが“1”のとき、インバータ106の出力は“H”であり、インバータ105の出力は“L”であり、それぞれに対応するNchトランジスタ107、108がONとOFFになっている。この状態でコンペア線に“1”を、反コンペア線に“0”を与えると、Nchトランジスタ109はOFF状態を保ち、プリチャージされたマッチ線は“H”を保持する。すなわち、格納データが“1”で検索データも“1”で両者が一致しているのでマッチ線は“H”となる。

## 【0007】

上記とは逆に、コンペア線に“0”を、反コンペア線に“1”を与えると、Nchトランジスタ109はON状態となり、マッチ線は“L”となる。すなわち、格納データが“1”で検索データが“0”で両者が不一致であるのでマッチ線は“L”となる。

## 【0008】

また、CAMにはマスク機能を持つものもある。図10はマスク機能を持った従来のCAMのメモリセル構成である。マスクメモリセル202に“1”が格納されているとき、データ比較部203内の、前記マスクメモリセル202に接続されたNchトランジスタ204はOFFしているため、CAMメモリセル201の状態によらず、マッチ線は“H”となる。

## 【0009】

図11はCAMの書き込み動作を表すタイミングチャートであり、図12はCAMの検索動作を表すタイミングチャートである。

【特許文献1】特開平9-198878号公報(第3頁、第26図)

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0010】

しかし従来の回路構成では、書き込み動作と検索動作が同クロックサイクルにて命令された場合、図13に示すように、検索データと比較されるのはメモリ部に書き込み中で不確定なデータであるため、マッチ線の出力が不確定になってしまうという不都合があった。そして、この不都合を回避するために、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がある。

## 【課題を解決するための手段】

## 【0011】

本発明は、上記の課題を解決するために次のような手段を講じる。

## 【0012】

第1の解決手段として、本発明によるCAM回路は、

コンペア線と、マッチ線と、ビット線と、ワード線と、メモリ部と、前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、一致キャンセル回路とを備えたCAM回路であって、

前記一致キャンセル回路によって書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更することを特徴とする。

## 【0013】

この構成によれば、書き込み動作と検索動作が同クロックサイクルにて命令された場合、CAM回路への書き込み命令信号とワード線の値とマッチ線の値がともに活性化されるが、書き込みアドレスでは、一致キャンセル回路は、書き込み命令信号とワード線の値の活性化に伴って動作し、その結果として、マッチ線の値を活性化とは異なる状態に変更する。つまり、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなす。書き込み中で不安定なデータに対しては、検索データとの比較において、その比較結果を強制的に不一致とする。ここでは、検索データと格納データとの比較は禁止せずに実行している。一致キャンセル回路は、書き込みアドレス以外のアドレスでは、検索データと格納データとの比較を普通に実行する。以上のように、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

## 【0014】

上記第1の解決手段のCAM回路をCAM回路の出力方法として展開するときは、次のようにいうことができる。すなわち、

コンペア線と、マッチ線と、ビット線と、ワード線と、メモリ部と、前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込み命令信号と前記ワード線の両方がイネーブル状態であることを検出し、対応するマッチ線を不一致とさせることである。

## 【0015】

これによれば、上記と同様にして、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

## 【0016】

第2の解決手段として、本発明によるCAM回路は、

上記第1の解決手段のCAM回路において、さらに、

書き込みデータが前記メモリ部に書き込まれるまでの経路（すなわち当該CAM回路のデータ入力部から前記ビット線までの経路）の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路を備え、

前記書き込みデータ比較回路の出力に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とする。

## 【0017】

この構成によれば、書き込み動作と検索動作が同クロックサイクルにて命令されたとき

、書き込みアドレスでも検索動作を実行する。ただし、その検索動作は、書き込みデータが書き込みアドレスに格納された後ではなく、書き込みデータがメモリに書き込まれる前の経路での、書き込みデータと検索データとの比較を通じて行う。データ比較部で得られた比較結果は、一致キャンセル回路によって強制的に不一致とするが、書き込みデータ比較回路の方で検索動作を遂行するのである。書き込みデータ比較回路における書き込みデータと検索データとの比較結果が不一致を示すときは、一致キャンセル回路での強制不一致の処理を生かすが、書き込みデータ比較回路での比較結果が一致を示すときは、一致キャンセル回路での強制不一致の処理をネグレクトして、検索動作の結果を一致とするのである。以上のように、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することができる。

#### 【0018】

上記第2の解決手段のCAM回路をCAM回路の出力方法として展開するときは、次のようにいうことができる。すなわち、上記第1の解決手段のCAM回路の出力方法において、メモリへの書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込みデータが前記メモリ部に書き込まれるまでの経路（すなわち当該CAM回路のデータ入力部から前記ビット線までの経路）の信号と検索データとの比較を前記メモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することである。

#### 【0019】

これによれば、上記と同様にして、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

#### 【0020】

第3の解決手段として、本発明によるCAM回路は、

コンペア線と、マッチ線と、ビット線と、ワード線と、CAMメモリ部からなるCAMメモリセルと、

前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、

ビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路（すなわち当該CAM回路のデータ入力部から前記ビット線までの経路）の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路であって、

前記一致キャンセル回路によって前記書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更し、かつ前記書き込みデータ比較回路の出力に応じて書き込みアドレスの一致検出結果を変更することを特徴とする。

#### 【0021】

この第3の解決手段は、上記第2の解決手段をマスク機能付きのCAM回路に適用したものに相当する。この構成によれば、マスク機能付きのCAM回路において、上記第2の解決手段の場合と同様の作用が発揮され、上記同様に、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することができる。

#### 【0022】

上記第3の解決手段のCAM回路をCAM回路の出力方法として展開するときは、次のようにいうことができる。すなわち、

コンペア線と、マッチ線と、ビット線と、ワード線と、CAMメモリ部からなるCAMメモリセルと、

前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、

ビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路（すなわち当該CAM回路のデータ入力部から前記ビット線までの経路）の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込み命令信号と前記ワード線の両方がイネーブル状態であることを検出し、対応するマッチ線を不一致とさせ、かつ前記書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と前記検索データとの比較を前記CAMメモリ部及び前記マスクメモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することである。

#### 【0023】

これによれば、上記と同様にして、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

#### 【0024】

第4の解決手段として、本発明によるCAM回路は、メモリへの書き込み動作及び検索動作が行われる期間を1クロックサイクル内で分割し、それぞれの期間で前記メモリへの書き込み動作及び前記検索動作を完結させることで検索動作時にメモリ内部が不定値となることを防ぎ、前記メモリへの書き込み動作及び前記検索動作を同クロックサイクルにて行うことを特徴とする。

#### 【0025】

この構成によれば、書き込み動作と検索動作が行われるクロックサイクルを時間的に2分割し、書き込み動作と検索動作のうちのいずれか一方をクロックサイクルの前半、もう一方をクロックサイクルの後半で行う。その結果、マッチ線の値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクル（前半と後半）にて実現することができる。

#### 【発明の効果】

#### 【0026】

本発明によれば、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

#### 【発明を実施するための最良の形態】

#### 【0027】

以下、本発明の実施の形態を、図面を参照しながら説明する。

#### 【0028】

（第1の実施の形態）

図1は本発明の第1の実施形態におけるCAM回路のタイミングチャートである。図に示すように、書き込み動作中に格納データが不定になるのは書き込みアドレスの格納データである。したがって、書き込み動作と検索動作が同クロックサイクルにて命令された場合、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなし、書き込みアドレス以外のアドレスの格納データのみとコンペア線及び反コンペア線の値とを比較すれば双方の動作を実現することができる。

#### 【0029】

図2は第1の実施形態におけるCAM回路の構成図である。図にはCAMメモリセルが2×2の場合を示している。700はCAMメモリセル、701<sub>1</sub>、701<sub>2</sub>は一致キャンセル回路、702<sub>1</sub>、702<sub>2</sub>はAND回路、703<sub>1</sub>、703<sub>2</sub>はNchトランジスタであ



る。

#### 【0030】

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなし、書き込みアドレス以外のアドレスの格納データのみとコンペア線及び反コンペア線の値とを比較するには、一致キャンセル回路701<sub>1</sub>、701<sub>2</sub>を用いて強制的に書き込みアドレスのマッチ線を“L”にすればよい。また一致キャンセル回路701<sub>1</sub>、701<sub>2</sub>は1ワードに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ビット分以下である。

#### 【0031】

また本実施例では一致キャンセル回路701<sub>1</sub>、701<sub>2</sub>は、AND回路702<sub>1</sub>、702<sub>2</sub>にてワード線の信号と書き込み命令信号とのAND論理をとり、この信号をNchトランジスタ703<sub>1</sub>、703<sub>2</sub>のゲートに接続し、Nchトランジスタ703<sub>1</sub>、703<sub>2</sub>のドレイン及びソースはそれぞれマッチ線信号及びグランドに接続するという構成をとっている。

#### 【0032】

この構成において、1ワード目への書き込み動作と検索動作が同クロックサイクルにて命令された場合、ワード線1が“H”かつ書き込み命令信号が“H”となり、AND回路702<sub>1</sub>が導通してNchトランジスタ703<sub>1</sub>がONするため、プリチャージで“H”とされたマッチ線1は不定ではなく“L”、つまり不一致という結果になる。なお、信号の極性が異なる場合でも本発明の範囲に含まれる。

#### 【0033】

以上より、本発明の第1の実施形態によれば、マッチ線の値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

#### 【0034】

(第2の実施の形態)

図3は本発明の第2の実施形態におけるCAM回路のタイミングチャートである。書き込み動作と検索動作が同クロックサイクルにて命令された場合、コンペア線及び反コンペア線の値と書き込みアドレスの格納データとの比較結果を不一致としておく。そして、書き込みアドレスに格納された後ではなく、書き込みデータがメモリに書き込まれる前の経路、すなわちCAMの書き込みデータ入力端子からメモリのビット線までの経路の信号とコンペア線及び反コンペア線の値との比較結果を書き込みアドレスでの比較結果とすることで、書き込み後の格納データとコンペア線及び反コンペア線の値との比較結果を得ることができる。それと並行して、書き込みアドレス以外のアドレスの格納データとコンペア線及び反コンペア線の値とを比較することで、双方の動作を実現することができる。

#### 【0035】

図4は第2の実施形態におけるCAM回路の構成図である。図にはCAMメモリセルが2×2の場合を示している。900はCAMメモリセル、901<sub>1</sub>、901<sub>2</sub>は一致キャンセル回路、902<sub>1</sub>、902<sub>2</sub>は書き込みデータ比較回路、903<sub>1</sub>、903<sub>2</sub>はイクスクルーシブOR回路、904<sub>1</sub>、904<sub>2</sub>はNchトランジスタ、905<sub>1</sub>、905<sub>2</sub>はAND回路、906<sub>1</sub>、906<sub>2</sub>はOR回路である。

#### 【0036】

検索動作時にはマッチイネーブル線もマッチ線と同様にプリチャージされる。書き込み動作と検索動作が同クロックサイクルにて命令されたとき、検索データと書き込みアドレスの格納データとの検索結果を不一致とし、書き込みデータとコンペア線及び反コンペア線の値との比較結果を書き込みアドレスの比較結果とするには、一致キャンセル回路901<sub>1</sub>、901<sub>2</sub>を用いて書き込みアドレスのマッチ線を“L”とし、書き込みデータ比較回路902<sub>1</sub>、902<sub>2</sub>を用いて書き込みデータとコンペア線の値が同じであればマッチイネーブル線の“H”信号を保持、異なっていれば“L”にし、AND回路905<sub>1</sub>、905<sub>2</sub>にてマッチイネーブル線とワード線のAND論理をとり、さらにOR回路906<sub>1</sub>、90

6<sub>2</sub>にてその結果とマッチ線のOR論理をとり、OR回路906<sub>1</sub>、906<sub>2</sub>の出力である一致出力信号を書き込みアドレスの比較結果とすればよい。書き込みデータ比較回路902<sub>1</sub>、902<sub>2</sub>は1ビットに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ワード分である。

#### 【0037】

また本実施例では書き込みデータ比較回路902<sub>1</sub>、902<sub>2</sub>は、イクスクルーシブOR回路903<sub>1</sub>、903<sub>2</sub>にて書き込みデータとコンペア線とのイクスクルーシブOR論理をとり、この信号をNchトランジスタ904<sub>1</sub>、904<sub>2</sub>のゲートに接続し、Nchトランジスタ904<sub>1</sub>、904<sub>2</sub>のドレイン及びソースはそれぞれマッチイネーブル線及びグランドに接続するという構成をとっている。

#### 【0038】

この構成において、1ワード目に2ビットの“11”が書き込まれ、検索データが2ビットの“11”であった場合について考える。1ワード目への書き込み動作と検索動作が同クロックサイクルにて命令された場合、一致キャンセル回路901<sub>1</sub>によりマッチ線1は強制的に“L”とされるが、ビット線1とコンペア線1が同値であるためイクスクルーシブOR回路903<sub>1</sub>の出力が“L”でNchトランジスタ904<sub>1</sub>はOFF、そしてビット線2とコンペア線2も同値であるためイクスクルーシブOR回路903<sub>2</sub>出力が“L”でNchトランジスタ904<sub>2</sub>もOFFであるため、マッチイネーブル線は“H”となる。ここでワード線1は“H”であるためAND回路905<sub>1</sub>の出力は“H”となり、マッチ線1の値が“L”であってもOR回路906<sub>1</sub>の出力つまり一致出力1は“H”となる。

#### 【0039】

次に、1ワード目に2ビットの“11”が書き込まれ、検索データが2ビットの“01”であった場合、イクスクルーシブOR回路903<sub>1</sub>の出力は“H”となり、Nchトランジスタ904<sub>1</sub>がONするため、マッチイネーブル線は“L”となり、その結果、一致出力1は“L”となる。なお、信号の極性が異なる場合でも本発明の範囲に含まれる。

#### 【0040】

また、図5に示すように書き込みデータ比較回路1001をライトバッファ1000の前段に挿入する回路も考えられる。

#### 【0041】

以上より、本発明の第2の実施形態によれば、マッチ線の値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することが可能となる。

#### 【0042】

##### (第3の実施の形態)

本発明の第3の形態について説明する。マスク機能をもつCAM回路においてCAMメモリまたはマスクメモリへの書き込み動作と検索動作が同クロックサイクルにて命令された場合、コンペア線及び反コンペア線の値と書き込みアドレスの格納データとの比較結果を不一致としておく。そして、CAMメモリへの書き込み動作の場合、書き込みアドレスに格納された後ではなく、書き込みデータがメモリに書き込まれる前の経路、すなわちCAMの書き込みデータ入力端子からメモリのビット線までの経路の信号とコンペア線及び反コンペア線の値との比較結果を書き込みアドレスでの比較結果とする。一方、マスクメモリへの書き込み動作の場合、書き込みアドレスに格納された後ではなく、書き込みデータがメモリに書き込まれる前の経路、すなわちCAMの書き込みデータ入力端子からメモリのビット線までの経路の信号が“1”ならば書き込みアドレスでの比較結果を一致、“0”ならば不一致とする。それと並行して、書き込みアドレス以外のアドレスの格納データとコンペア線及び反コンペア線の値とを比較することで、双方の動作を実現することができる。

#### 【0043】

図6は第3の実施形態におけるCAM回路の構成図である。図にはCAMメモリセル及びマスクメモリセルが2×2の場合を示している。aがCAMメモリセル、bがマスクメモリセルであり、cがマスクメモリセルbをマッチ線につなぐNchトランジスタである。1100<sub>1</sub>, 1100<sub>2</sub>は一致キャンセル回路、1101<sub>1</sub>, 1101<sub>2</sub>は書き込みデータ比較回路、1102<sub>1</sub>, 1102<sub>2</sub>はイクスクルーシブNOR回路、1103<sub>1</sub>, 1103<sub>2</sub>, 1104<sub>1</sub>, 1104<sub>2</sub>はNAND回路、1105<sub>1</sub>, 1105<sub>2</sub>, 1106<sub>1</sub>, 1106<sub>2</sub>はNchトランジスタである。

#### 【0044】

検索動作時にはマッチイネーブル線もマッチ線と同様にプリチャージされる。マスク機能をもつCAM回路において、CAMメモリセルまたはマスクメモリセルへの書き込み動作と検索動作が同クロックサイクルにて命令された場合、コンペア線及び反コンペア線の値と書き込みアドレスの格納データとの比較結果を不一致とし、さらにCAMメモリセルへの書き込み動作のときは、書き込みデータとコンペア線及び反コンペア線の値との比較結果を書き込みアドレスでの比較結果とし、マスクメモリセルへの書き込み動作のときは、書き込みデータが“1”ならば書き込みアドレスでの比較結果を“H”、“0”ならば“L”とするには、次のように構成する。

#### 【0045】

すなわち、書き込み動作と検索動作が同クロックサイクルにて命令された場合、まず一致キャンセル回路1100<sub>1</sub>, 1100<sub>2</sub>を用いて書き込みアドレスのマッチ線を“L”とする。そして、書き込みデータ比較回路1101<sub>1</sub>, 1101<sub>2</sub>を用いてマッチイネーブル線の値を決定し、その結果とワード線のAND論理をとり、さらにその結果とマッチ線のOR出力を書き込みアドレスの比較結果とすればよい。書き込みデータ比較回路1101<sub>1</sub>, 1101<sub>2</sub>は1ビットに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ワード分である。

#### 【0046】

また本実施例では書き込みデータ比較回路1101<sub>1</sub>, 1101<sub>2</sub>は、CAMメモリセルへの書き込みデータとコンペア線とのイクスクルーシブNORをとるイクスクルーシブNOR回路1102<sub>1</sub>, 1102<sub>2</sub>と、イクスクルーシブNOR回路1102<sub>1</sub>, 1102<sub>2</sub>の出力とCAMメモリセルへの書き込み命令信号とのNAND論理をとるNAND回路1103<sub>1</sub>, 1103<sub>2</sub>と、マスクメモリセルへの書き込みデータとマスクメモリセルへの書き込み命令信号のNAND論理をとるNAND回路1104<sub>1</sub>, 1104<sub>2</sub>と、NAND回路1103<sub>1</sub>, 1103<sub>2</sub>の出力がゲートに接続されるNchトランジスタ1105<sub>1</sub>, 1105<sub>2</sub>と、NAND回路1104<sub>1</sub>, 1104<sub>2</sub>の出力がゲートに接続されるNchトランジスタ1106<sub>1</sub>, 1106<sub>2</sub>とで構成され、直列に接続されたNchトランジスタ1105<sub>1</sub>, 1105<sub>2</sub>と1106<sub>1</sub>, 1106<sub>2</sub>を介してマッチイネーブル線とグラウンドが接続されている。

#### 【0047】

この構成において、1ワード目のCAMメモリに2ビットの“11”が書き込まれ、検索データが2ビットの“11”であった場合について考える。1ワード目への書き込み動作と検索動作が同クロックサイクルにて命令された場合、一致キャンセル回路1100<sub>1</sub>によりマッチ線1は強制的に“L”とされるが、ビット線1とコンペア線1が同値であるためイクスクルーシブNOR回路1102<sub>1</sub>の出力は“H”となりかつCAMメモリ書き込み命令信号は“H”であるため、NAND回路1103<sub>1</sub>の出力は“L”となり、Nchトランジスタ1105<sub>1</sub>はOFF、そしてビット線2とコンペア線2も同値であるため1ビット目と同様の動作によりNchトランジスタ1105<sub>2</sub>もOFFであるため、プリチャージ状態のマッチイネーブル線は“H”を保つ。ここでワード線1は“H”であるため、AND回路1107の出力が“H”となり、書き込み動作と検索動作が同クロックサイクルのためにマッチ線1の値が強制的に“L”にされても、OR回路1108からの一致出力1は“H”となる。

#### 【0048】

次に、1ワード目のCAMメモリセルに2ビットの“11”が書き込まれ、検索データが2ビットの“01”であった場合、イクスクルーシブNOR回路1102<sub>1</sub>の出力は“L”となり、NAND回路1103<sub>1</sub>の出力は“H”となり、Nchトランジスタ1105<sub>1</sub>がONする。またマスクメモリ書き込み命令信号が“L”であるため、NAND回路1104<sub>1</sub>の出力は“H”となり、Nchトランジスタ1106<sub>1</sub>もONする。したがってマッチイネーブル線は“L”となり、その結果、一致出力1は“L”となる。

#### 【0049】

また、この構成において、1ワード目のマスクメモリセルに2ビットの“11”が書き込まれる場合について考える。1ワード目への書き込み動作と検索動作が同クロックサイクルにて命令された場合、一致キャンセル回路1100<sub>1</sub>によりマッチ線1は強制的に“L”とされるが、マスクビット線1が“H”であり、かつマスクメモリ書き込み命令信号は“H”であるため、NAND回路1104<sub>1</sub>の出力は“L”となり、Nchトランジスタ1106<sub>1</sub>はOFF、そしてマスクビット線2も“H”であるため1ビット目と同様の動作によりNchトランジスタ1106<sub>2</sub>もOFFであるため、マッチイネーブル線は“H”となる。ここでワード線1は“H”であるため、AND回路1107の出力が“H”となり、書き込み動作と検索動作が同クロックサイクルのためマッチ線1の値が“L”であっても、OR回路1108からの一致出力1は“H”となる。

#### 【0050】

次に、1ワード目のマスクメモリに2ビットの“01”が書き込まれる場合、NAND回路1104<sub>1</sub>の出力は“H”となり、Nchトランジスタ1106<sub>1</sub>がONする。またCAMメモリ書き込み命令信号が“L”であるため、NAND回路1103<sub>1</sub>の出力は“H”となり、Nchトランジスタ1105<sub>1</sub>もONする。したがってマッチイネーブル線は“L”となり、その結果、一致出力1は“L”となる。なお、信号の極性が異なる場合でも本発明の範囲に含まれる。

#### 【0051】

本実施例ではライトバッファに入力される前のCAMメモリセルへの書き込みデータ、コンペア線、マスクメモリセルへの書き込みデータにて比較をしているが、図7に示すようにデータ比較回路1201をライトバッファ1200の前段に挿入する回路も考えられる。

#### 【0052】

以上より、本発明の第3の実施形態によれば、マスク機能付きのCAM回路において、マッチ線の値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することが可能となる。

#### 【0053】

##### (第4の実施の形態)

図8は本発明の第4の実施形態におけるCAM回路のタイミングチャートである。図に示すように、書き込み動作と検索動作が行われるクロックサイクルを時間的に2分割し、書き込み動作をクロックサイクルの前半、検索動作をクロックサイクルの後半で行うことを特徴とする。本実施形態では検索動作が開始されるまでに格納データの書き換えが完了しているため、検索結果が不定となることはない。また動作の順序を入れ替えて、検索動作をクロックサイクルの前半、書き込み動作をクロックサイクルの後半で行う実施形態も考えられる。

#### 【0054】

以上より、本発明の第4の実施形態によれば、マッチ線の値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクル(前半と後半)にて実現することが可能となる。

#### 【産業上の利用可能性】

## 【0055】

本発明のCAM回路は、ネットワークスイッチ等として有用である。

## 【図面の簡単な説明】

## 【0056】

【図1】 本発明の第1の実施形態におけるCAM回路のタイミングチャート

【図2】 本発明の第1の実施形態におけるCAM回路の構成図

【図3】 本発明の第2の実施形態におけるCAM回路のタイミングチャート

【図4】 本発明の第2の実施形態におけるCAM回路の構成図

【図5】 本発明の第2の実施形態における別のCAM回路の構成図

【図6】 本発明の第3の実施形態におけるCAM回路の構成図

【図7】 本発明の第3の実施形態における別のCAM回路の構成図

【図8】 本発明の第4の実施形態におけるCAM回路のタイミングチャート

【図9】 従来のCAMのメモリセルの構成図

【図10】 マスク機能を持った従来のCAMのメモリセルの構成図

【図11】 CAMの書き込み動作を表すタイミングチャート

【図12】 CAMの検索動作を表すタイミングチャート

【図13】 書き込み動作と検索動作を同クロックサイクルにて行う場合のタイミングチャート

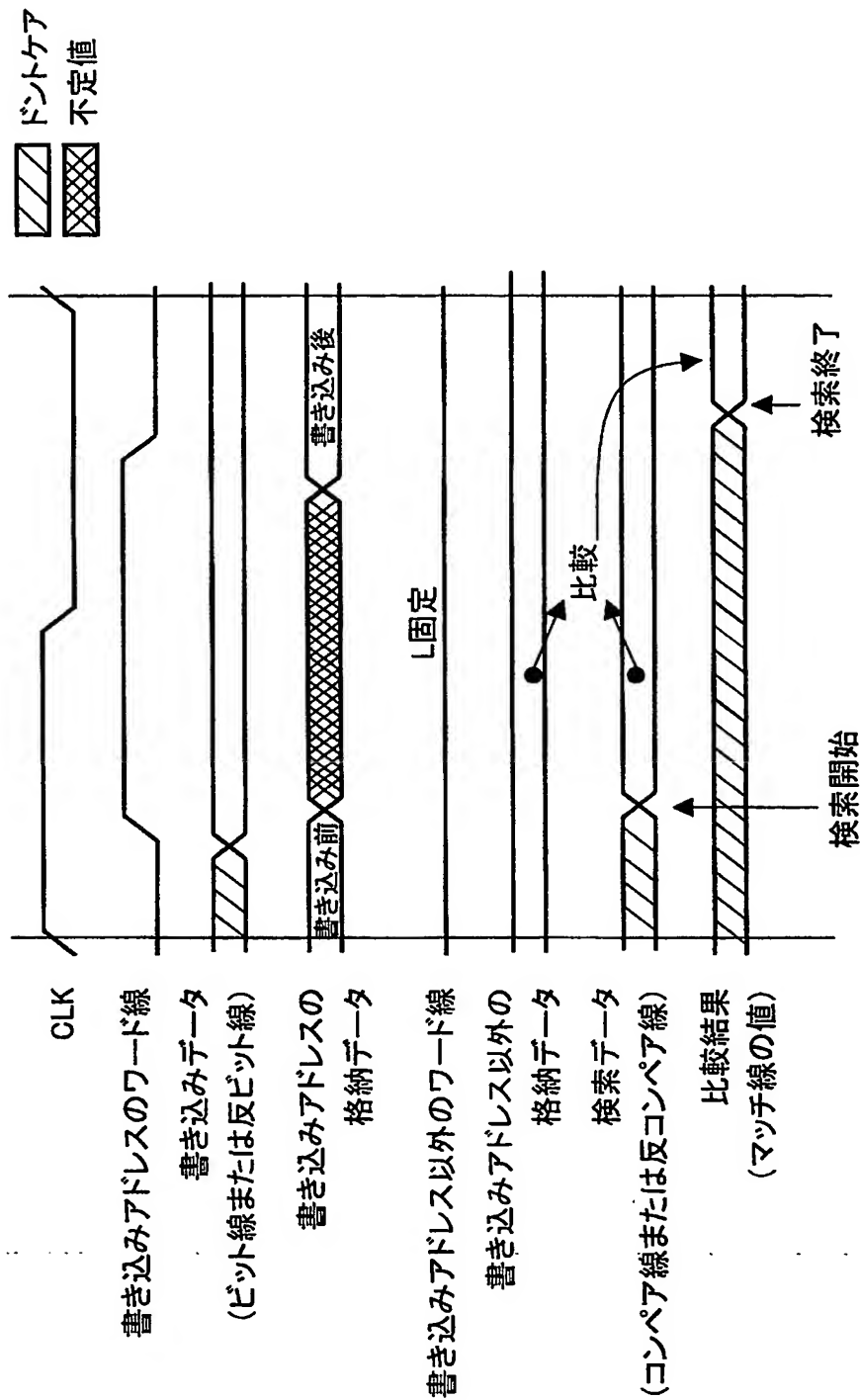
## 【符号の説明】

## 【0057】

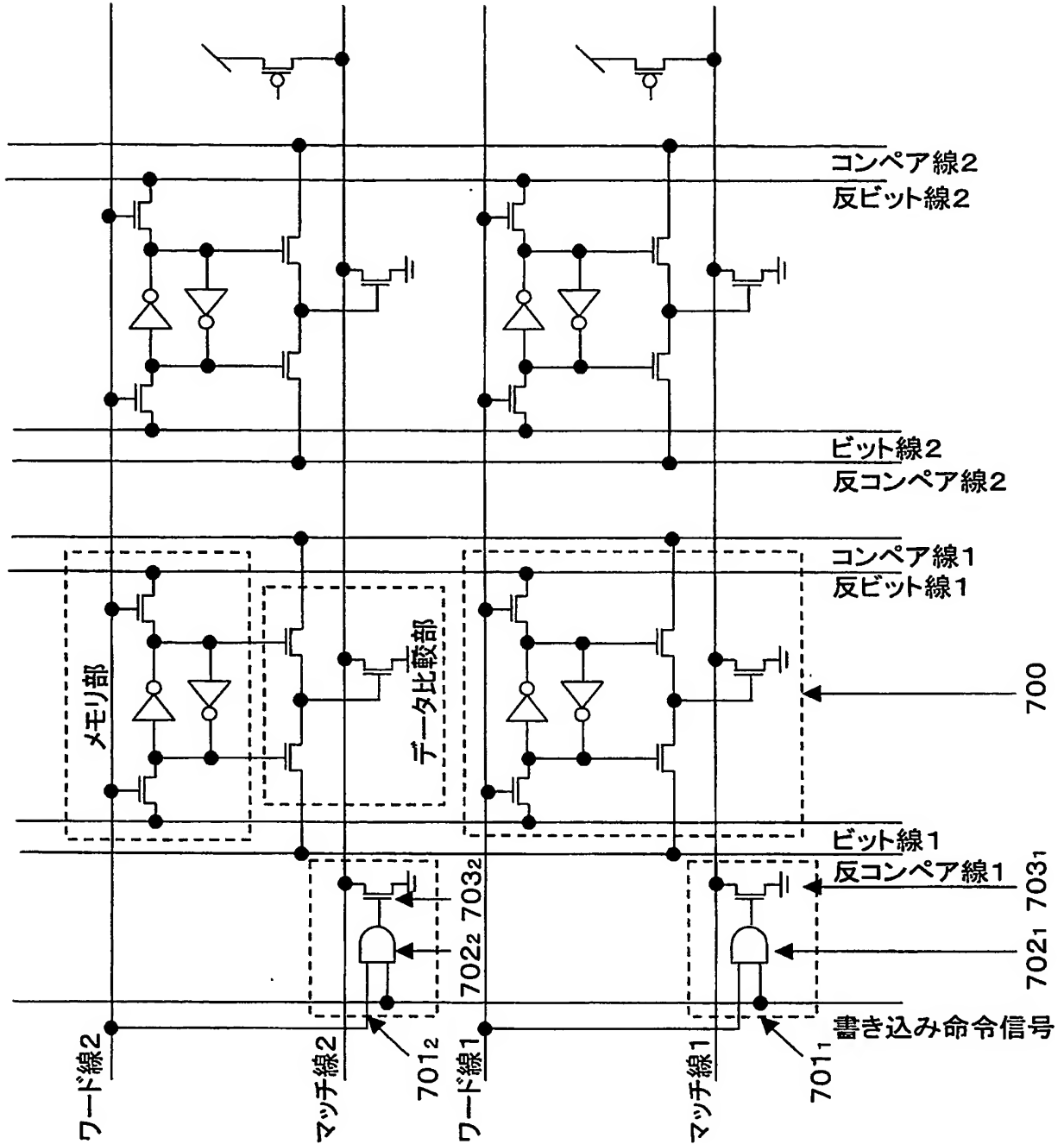
- 100 CAMメモリセル
- 101 メモリ部
- 102 データ比較部
- 103 Nchトランジスタ
- 104 Nchトランジスタ
- 105 インバータ
- 106 インバータ
- 200 マスク機能付きCAMメモリセル
- 201 CAMメモリセル
- 202 マスクメモリセル
- 203 データ比較部
- 700 CAMメモリセル
- 701<sub>1</sub>, 701<sub>2</sub> 一致キャンセル回路
- 702<sub>1</sub>, 702<sub>2</sub> AND回路
- 703<sub>1</sub>, 703<sub>2</sub> Nchトランジスタ
- 900 CAMメモリセル
- 901<sub>1</sub>, 901<sub>2</sub> 一致キャンセル回路
- 902<sub>1</sub>, 902<sub>2</sub> 書き込みデータ比較回路
- 903<sub>1</sub>; 903<sub>2</sub> イクスクループOR回路
- 904<sub>1</sub>, 904<sub>2</sub> Nchトランジスタ
- 905<sub>1</sub>, 905<sub>2</sub> AND回路
- 906<sub>1</sub>, 906<sub>2</sub> OR回路
- 1000 ライトバッファ
- 1001 書き込みデータ比較回路
- 1100<sub>1</sub>, 1100<sub>2</sub> 一致キャンセル回路
- 1101<sub>1</sub>, 1101<sub>2</sub> 書き込みデータ比較回路
- 1102<sub>1</sub>, 1102<sub>2</sub> イクスクループNOR回路
- 1103<sub>1</sub>, 1103<sub>2</sub> NAND回路
- 1104<sub>1</sub>, 1104<sub>2</sub> NAND回路
- 1105<sub>1</sub>, 1105<sub>2</sub> Nchトランジスタ

1 1 0 6<sub>1</sub>, 1 1 0 6<sub>2</sub> N c h トランジスタ  
1 2 0 0 ライトバッファ

【書類名】 図面  
【図 1】

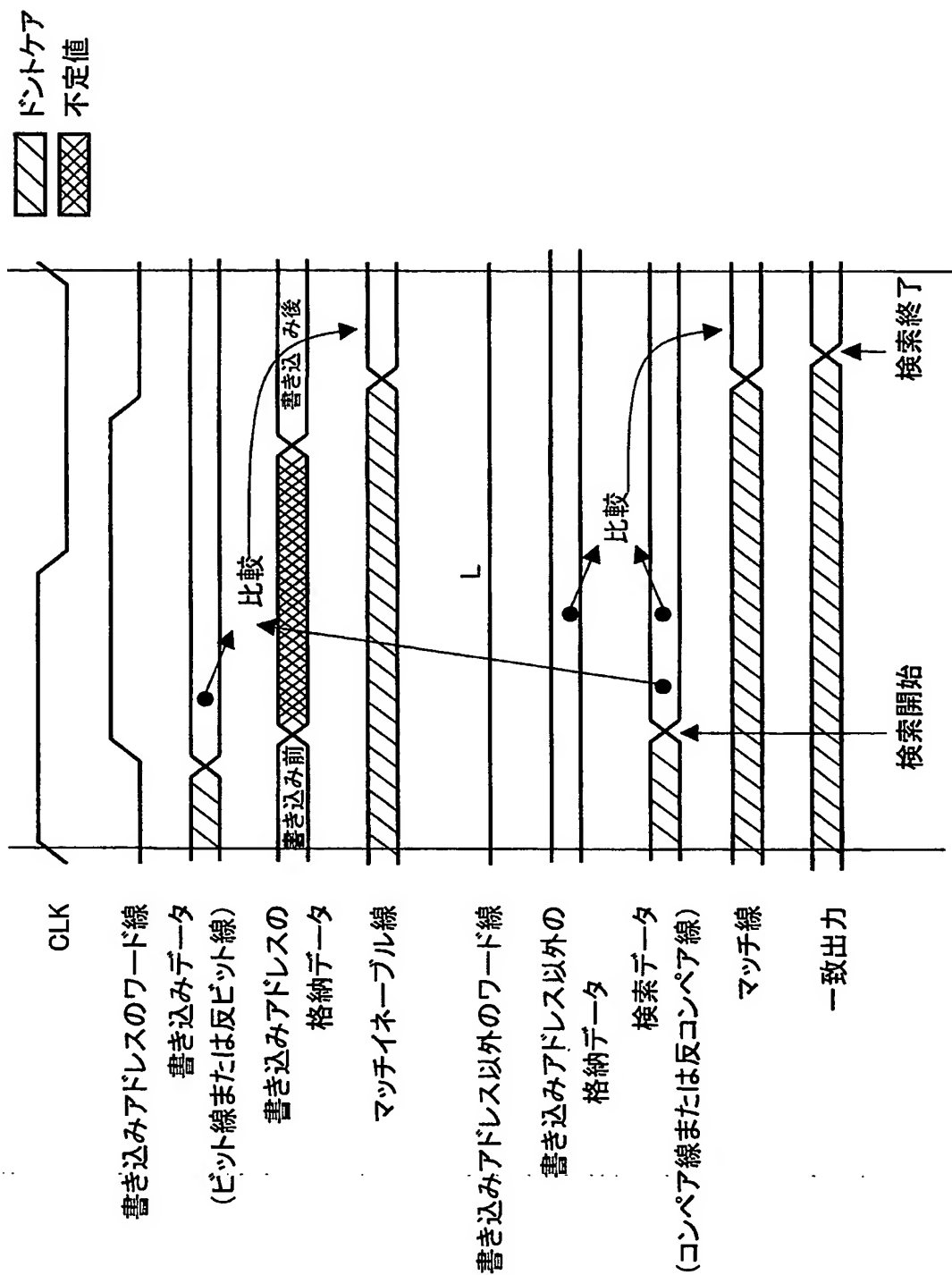


【図 2】

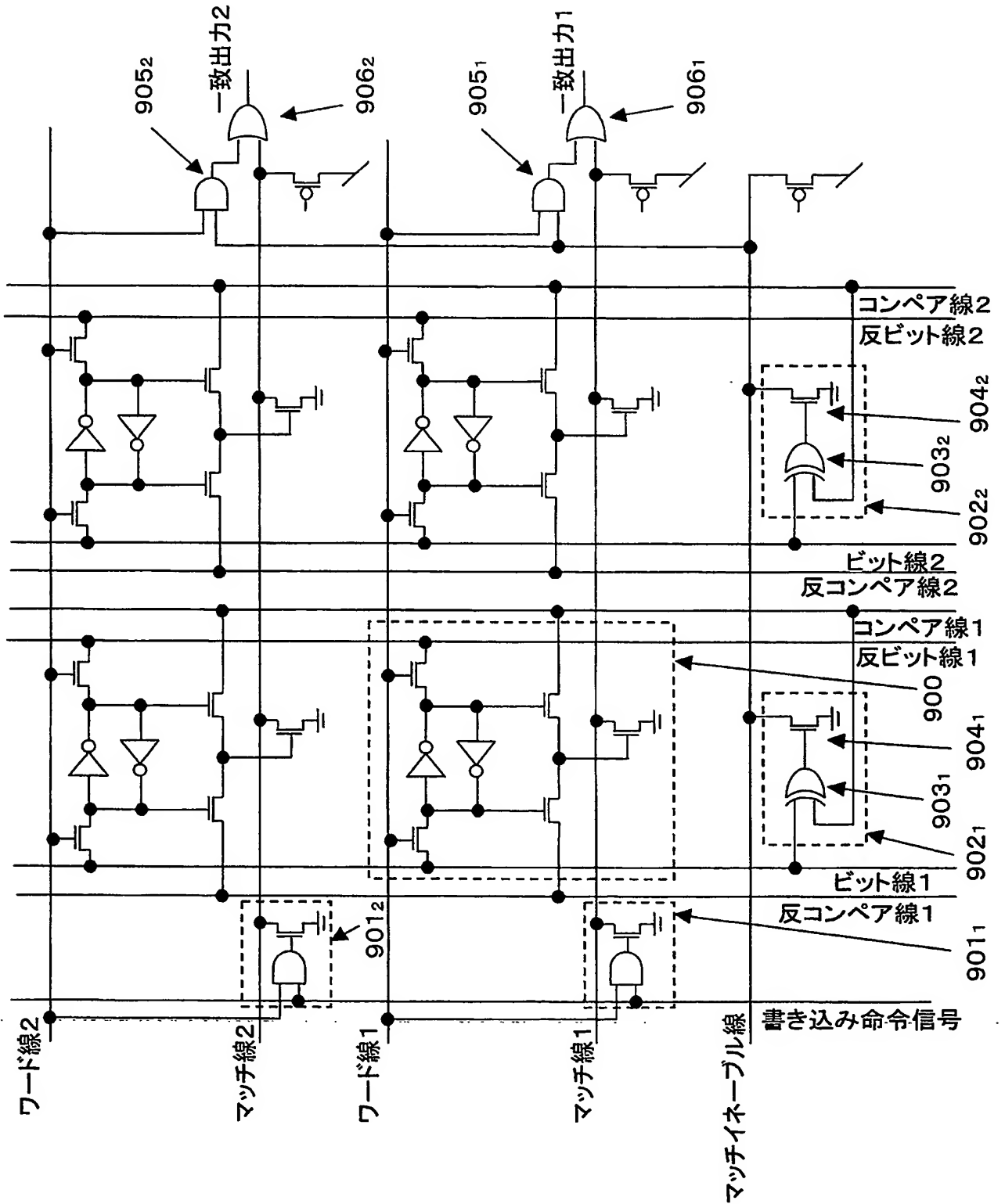




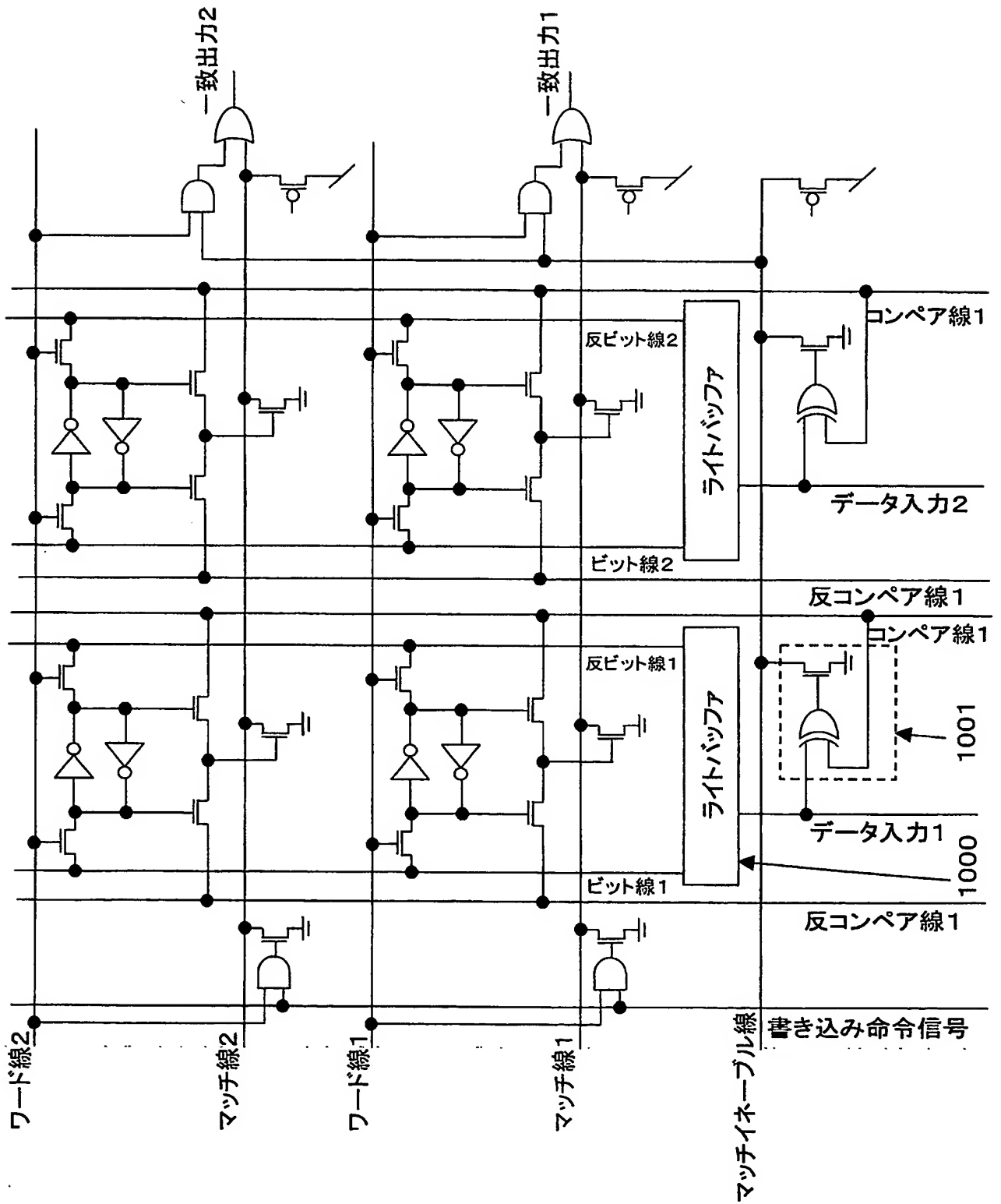
【図 3】



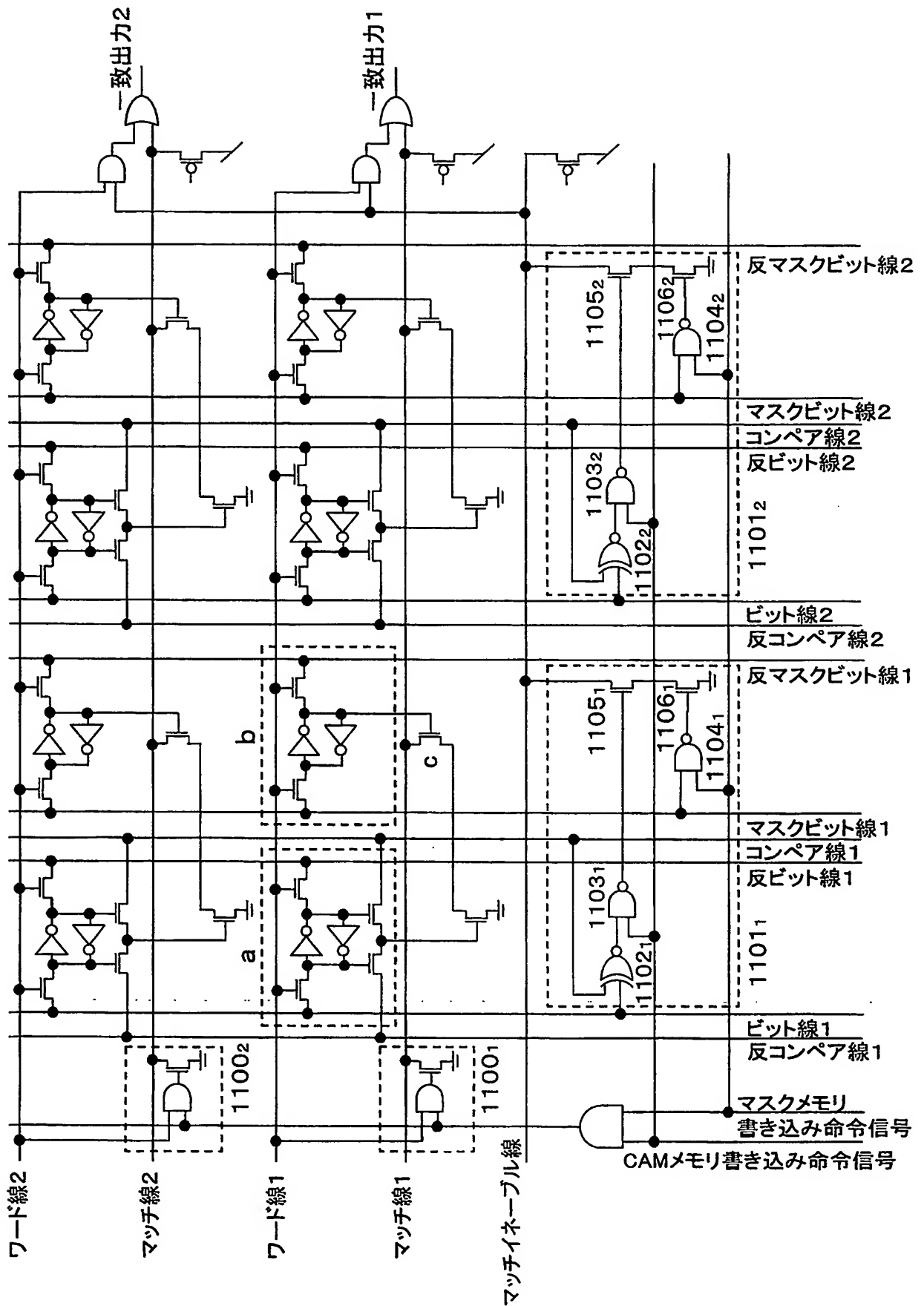
【図 4】



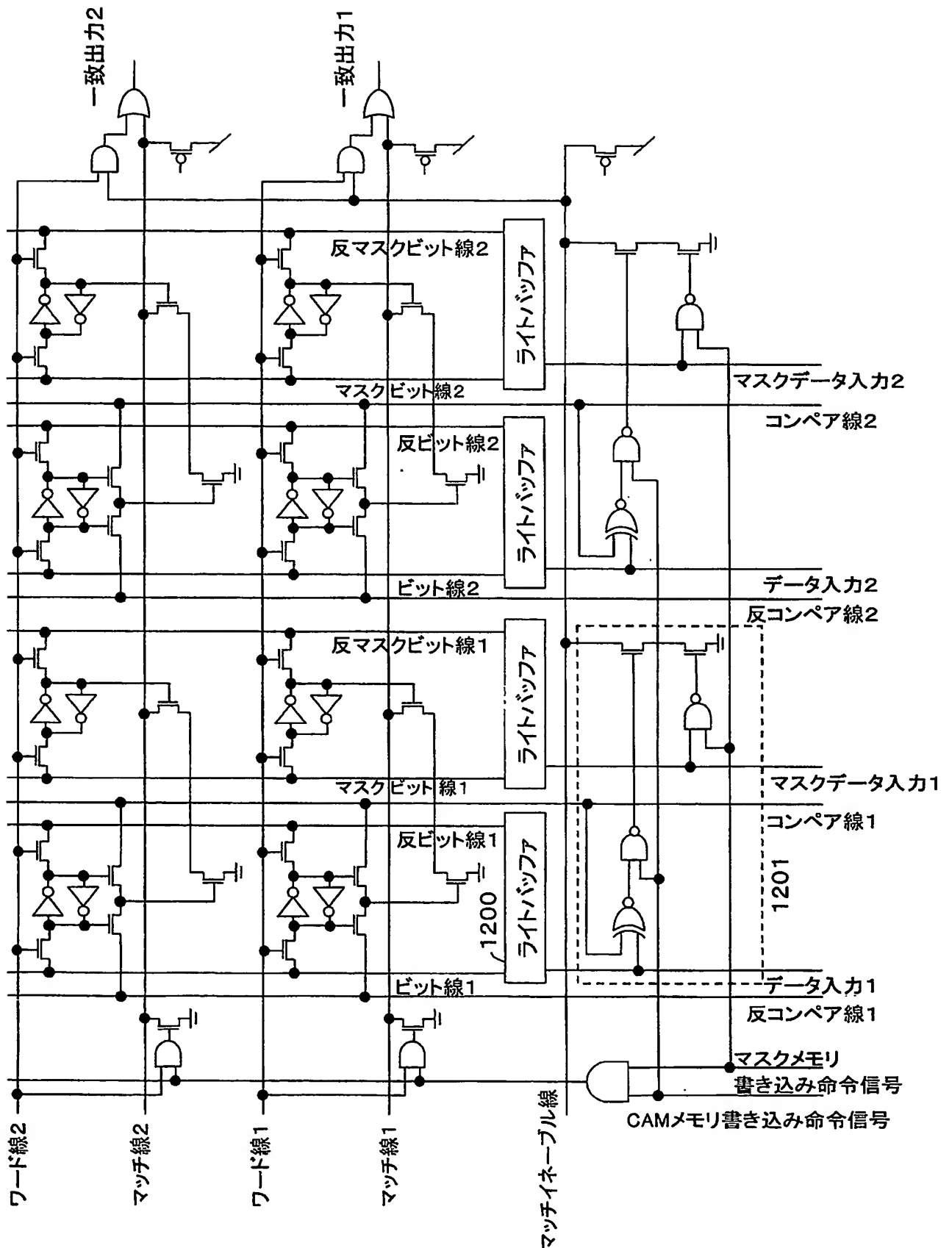
【図5】



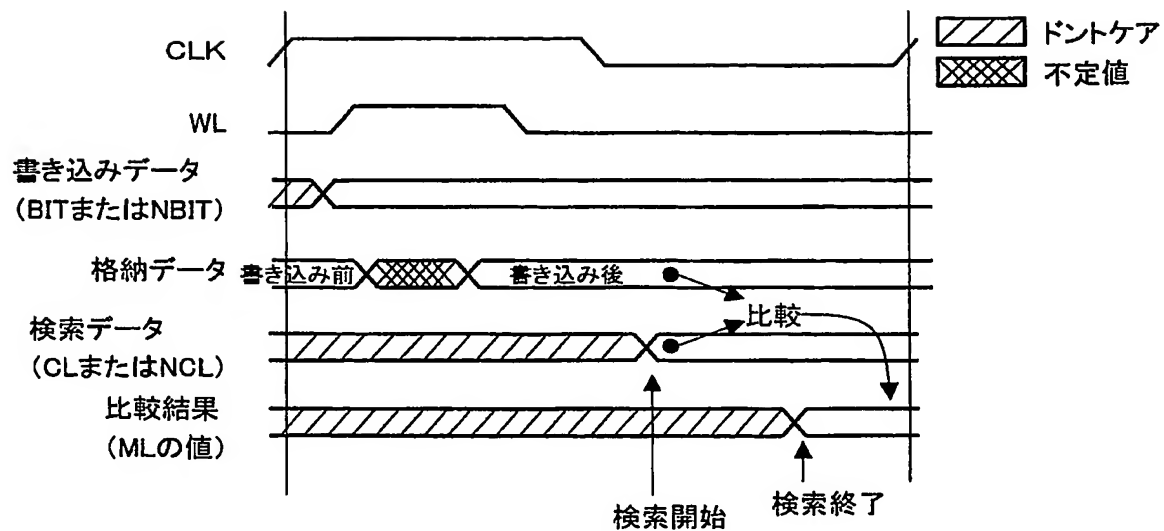
【図6】



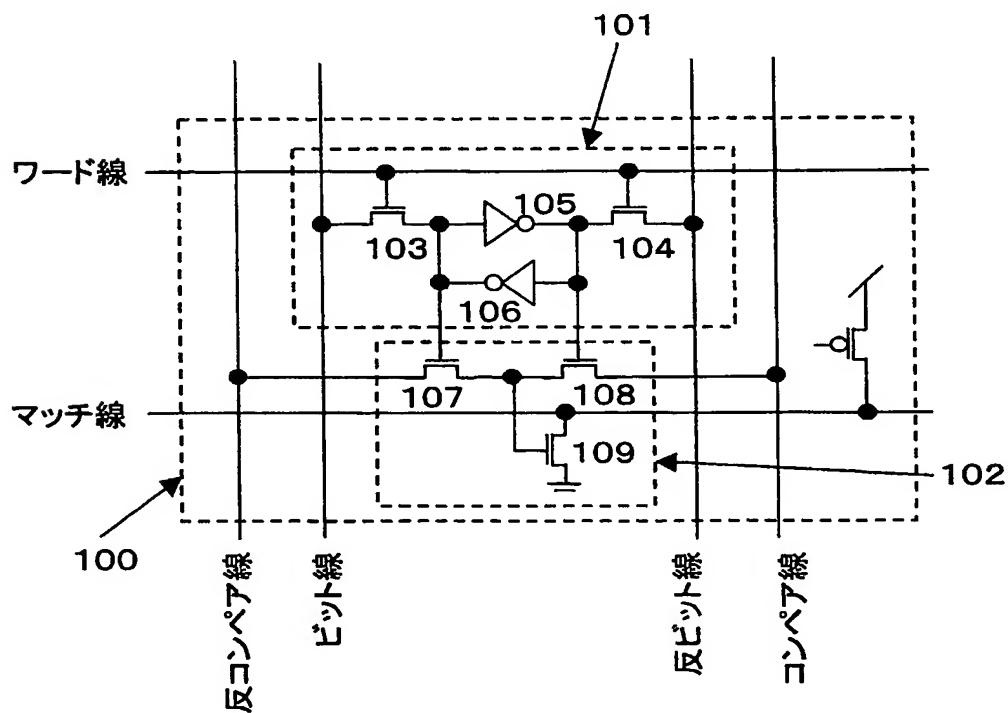
【図7】



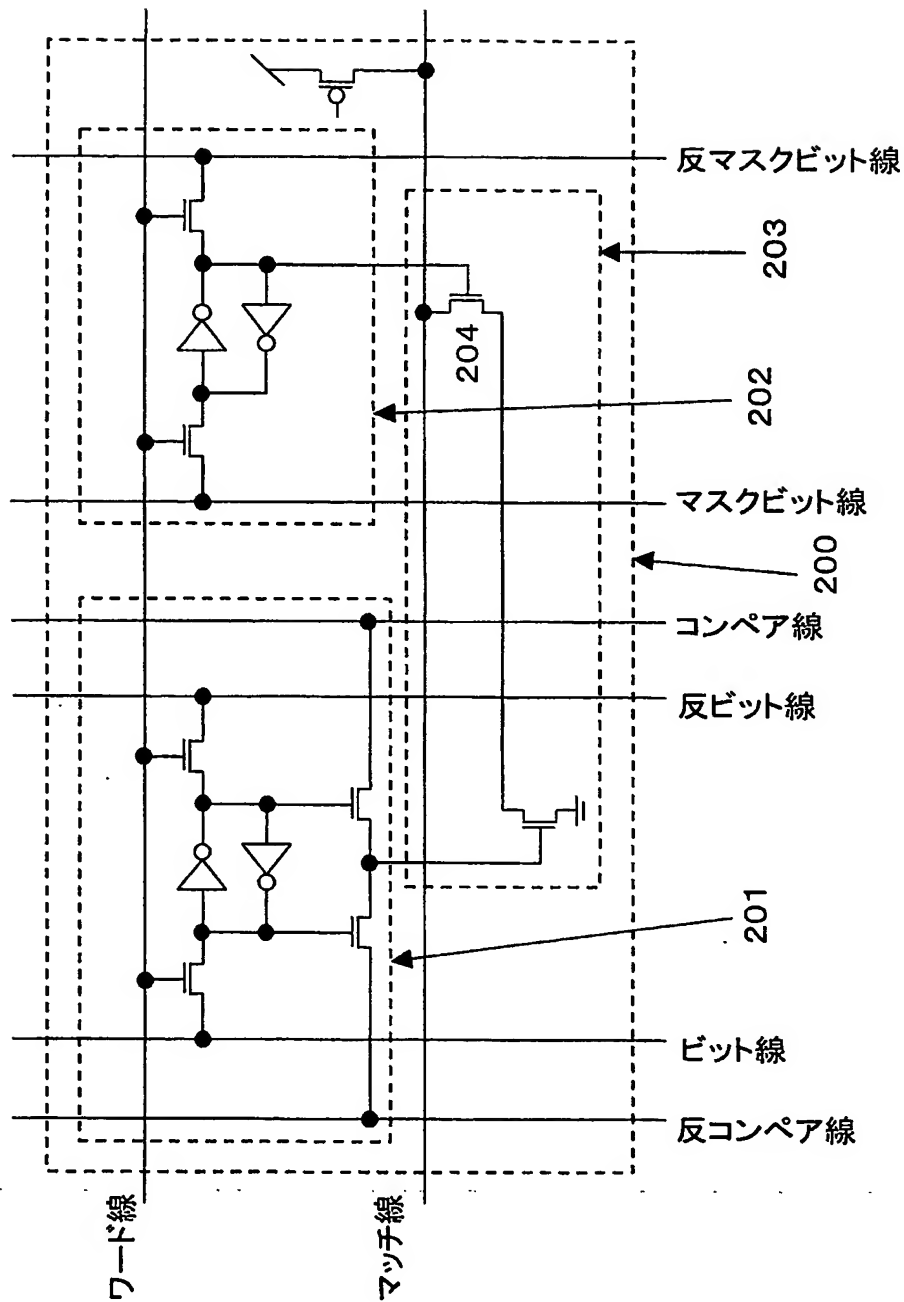
【図 8】



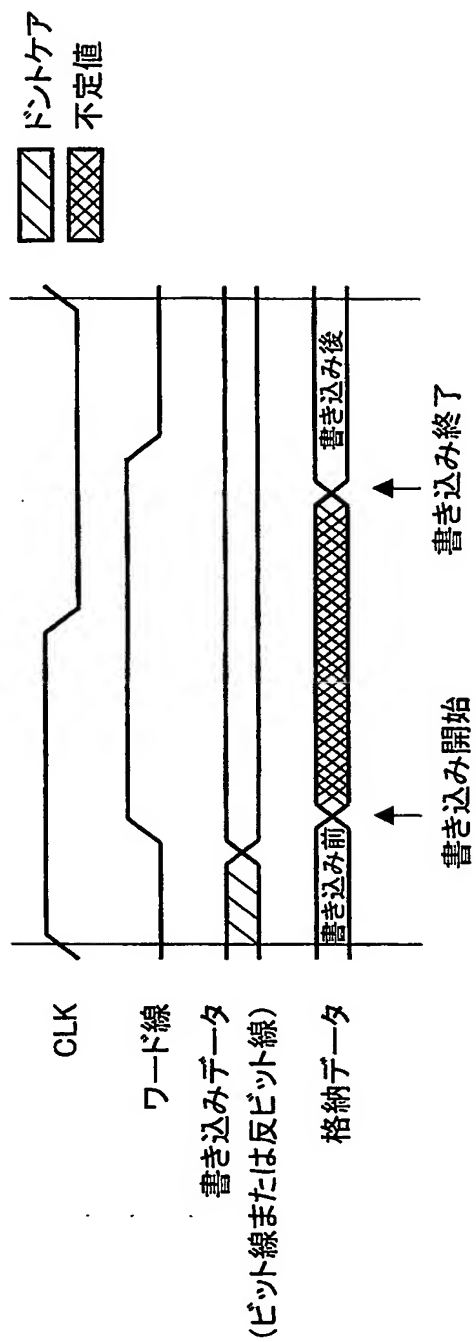
【図 9】



【図 10】

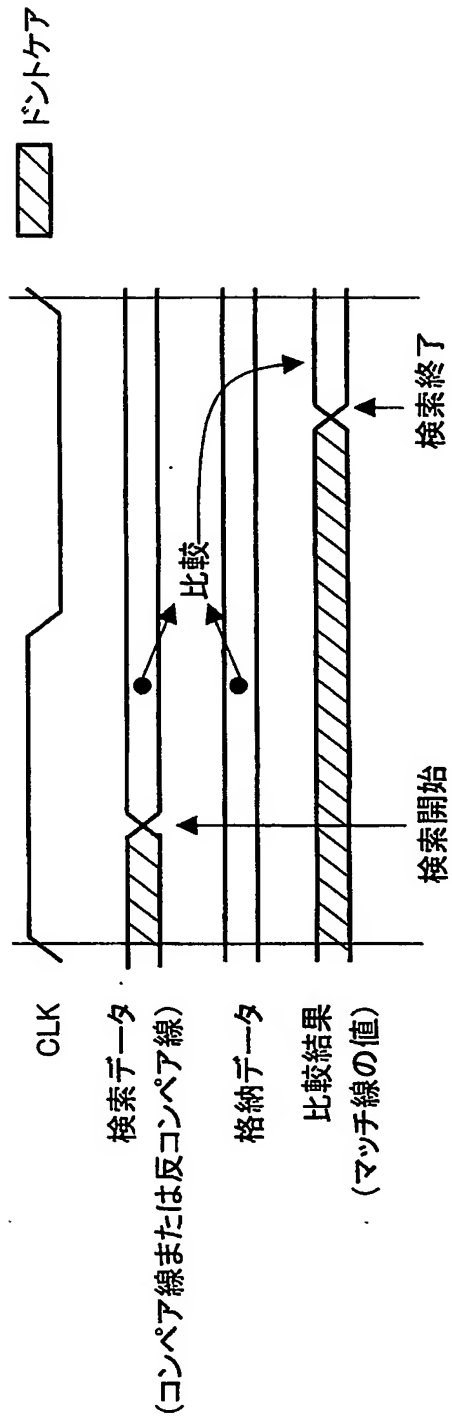


【図 11】

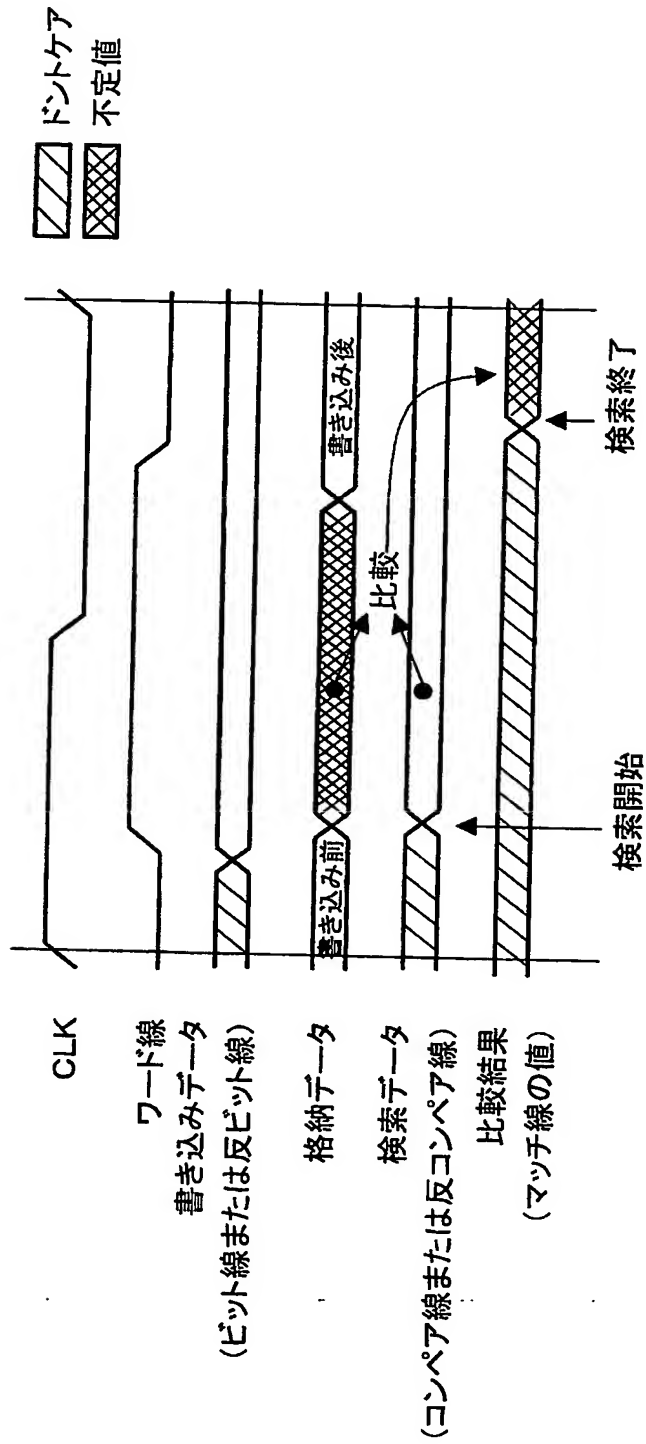




【図 12】



【図 13】



**【書類名】 要約書****【要約】**

**【課題】** 書き込み動作と検索動作が同クロックサイクルにて命令された場合、メモリ部に書き込み中のデータと検索データとが比較され、検索結果が不確定になるため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要があった。

**【解決手段】** 書き込み動作と検索動作が同クロックサイクルにて命令された場合、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなし、検索データと書き込みアドレス以外のアドレスの格納データとの比較することで検索結果を出力する。あるいは、書き込み動作と検索動作が行われるクロックサイクルを時間的に2分割し、一方をクロックサイクルの前半、もう一方をクロックサイクルの後半で動作を完結させることで、書き込み動作及び検索動作を同クロックサイクルにて行うことを可能とする。

**【選択図】** 図2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 8 2 5 4 7
受付番号	5 0 3 0 1 8 7 1 0 9 1
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 1 1 月 1 9 日

< 認定情報・付加情報 >

【提出日】	平成15年11月12日
-------	-------------

特願 2 0 0 3 - 3 8 2 5 4 7

ページ： 1/E

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日  
[変更理由]  
住 所  
氏 名

1 9 9 0 年 8 月 2 8 日  
新規登録  
大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社